

**UNIVERSIDADE SÃO FRANCISCO**  
**CURSO DE ENGENHARIA ELÉTRICA**

**UMA CONTRIBUIÇÃO À OTIMIZAÇÃO DE CONVERSORES SIGMA-  
DELTA**

Área de Conversores

por

Marcus Serra Espindola

Jorge Salomão Pereira, MSc.  
Orientador

Itatiba (SP), novembro de 2004

**UNIVERSIDADE SÃO FRANCISCO**  
**CURSO DE ENGENHARIA ELÉTRICA**

**UMA CONTRIBUIÇÃO À OTIMIZAÇÃO DE CONVERSORES SIGMA-  
DELTA**

Área de Conversores

por

Marcus Serra Espindola

Relatório apresentado à Banca Examinadora do  
Trabalho de Conclusão do Curso de Engenharia  
Elétrica para análise e aprovação.  
Orientador: Jorge Salomão Pereira, MSc.

Itatiba (SP), novembro de 2004

# SUMÁRIO

<b>LISTA DE ABREVIATURAS.....</b>	<b>iv</b>
<b>LISTA DE FIGURAS .....</b>	<b>v</b>
<b>LISTA DE EQUAÇÕES.....</b>	<b>vi</b>
<b>RESUMO.....</b>	<b>vii</b>
<b>ABSTRACT.....</b>	<b>viii</b>
<b>1. INTRODUÇÃO.....</b>	<b>9</b>
<b>1.1. OBJETIVOS.....</b>	<b>9</b>
<b>1.1.1. Objetivo Geral .....</b>	<b>9</b>
<b>1.1.2. Objetivos Específicos .....</b>	<b>9</b>
<b>1.2. METODOLOGIA .....</b>	<b>10</b>
<b>1.3. ESTRUTURA DO TRABALHO .....</b>	<b>10</b>
<b>2. FUNDAMENTAÇÃO TEÓRICA.....</b>	<b>11</b>
<b>2.1. CONVERSORES DA.....</b>	<b>11</b>
<b>2.2. CONVERSORES AD.....</b>	<b>12</b>
<b>2.3. CONVERSORES <math>\Sigma\Delta</math>.....</b>	<b>13</b>
<b>2.4. ERRO DE QUANTIFICAÇÃO EM CONVERSORES AD.....</b>	<b>14</b>
<b>2.5. A TÉCNICA DE SOBRE AMOSTRAGEM E A MODULAÇÃO DO RUÍDO .....</b>	<b>15</b>
<b>2.6. FUNDAMENTOS DA MODULAÇÃO <math>\Sigma\Delta</math> .....</b>	<b>17</b>
<b>2.7. IMPLEMENTAÇÃO DISCRETA VS. CONTÍNUA NO TEMPO.....</b>	<b>23</b>
<b>3. IMPLEMENTAÇÃO.....</b>	<b>24</b>
<b>3.1. DESCRIÇÃO DA APLICAÇÃO.....</b>	<b>28</b>
<b>3.2. RESULTADOS OBTIDOS .....</b>	<b>29</b>
<b>4. CONSIDERAÇÕES FINAIS.....</b>	<b>33</b>
<b>REFERÊNCIAS BIBLIOGRÁFICAS.....</b>	<b>34</b>

## LISTA DE ABREVIATURAS

AD	Analógico-Digital
DA	Digital-Analógico
$\Sigma\Delta$	Sigma-Delta
SNR	Relação Sinal-Ruído
EONB	Número efetivo de bits
MSB	Bit mais significativo
LSB	Bit menos significativo
DR	Faixa dinâmica
DC	Corrente contínua
$F_s$	Frequência de amostragem
FFT	Transformada rápida de Fourier

# LISTA DE FIGURAS

Figura 1. Conversor DA.....	11
Figura 2. Curva de transferência entrada-saída para um conversor DA ideal de 2 bits.....	12
Figura 3. Diagrama em blocos representando um conversor AD.....	13
Figura 4. Curva de transferência entrada-saída para um conversor AD ideal de 2 bits.....	13
Figura 5. Erro de Quantificação.....	15
Figura 6. Espectro de ruído para amostragem Nyquist.....	15
Figura 7. Redução da potência do erro em banda base pela sobre-amostragem e a modulação do ruído .....	17
Figura 8. Modelo linearizado do modulador $\Sigma\Delta$ .....	18
Figura 9. Resposta de um modulador $\Sigma\Delta$ a uma entrada constante.....	18
Figura 10. Modulador de segunda ordem (a) e seu modelo normalizado (b) .....	20
Figura 11. Densidade espectral de moduladores $\Sigma\Delta$ face o ruído de quantificação .....	22
Figura 12. SNR em função da relação de sobre-amostragem .....	23
Figura 13. Conversor $\Sigma\Delta$ .....	24
Figura 14. Resposta de um modulador $\Sigma\Delta$ a um sinal de entrada tipo rampa.....	25
Figura 15. Conversor $\Sigma\Delta$ de primeira ordem contínuo .....	25
Figura 16. Implementação de um conversor AD $\Sigma\Delta$ de 1ª ordem contínuo no tempo usando um microcontrolador com comparador analógico .....	26
Figura 17. Diagrama do circuito conversor AD $\Sigma\Delta$ de 1ª ordem tempo contínuo .....	28
Figura 18. Resposta do modulador para uma entrada tipo rampa .....	29
Figura 19. Resposta do modulador para uma entrada triangular.....	29
Figura 20. Resposta do modulador para uma entrada senoidal.....	30
Figura 21. Espectro de saída para o modulador $\Sigma\Delta$ de primeira ordem contínuo no tempo.....	31
Figura 22. Espectro de saída medido para um sinal de entrada de $-8$ dB.....	31
Figura 23. SNR medido para uma frequência de amostragem de 50 kHz e sinal de entrada de 125 Hz .....	32
Figura 24. Sinal convertido para uma entrada senoidal de $2,4 V_{pp}$ .....	32

# LISTA DE EQUAÇÕES

Equação 1 .....	11
Equação 2 .....	11
Equação 3 .....	12
Equação 4 .....	12
Equação 5 .....	14
Equação 6 .....	14
Equação 7 .....	14
Equação 8 .....	15
Equação 9 .....	16
Equação 10 .....	16
Equação 11 .....	18
Equação 12 .....	19
Equação 13 .....	19
Equação 14 .....	19
Equação 15 .....	20
Equação 16 .....	20
Equação 17 .....	21
Equação 18 .....	21
Equação 19 .....	21
Equação 20 .....	21
Equação 21 .....	21
Equação 22 .....	25
Equação 23 .....	26
Equação 24 .....	26

## RESUMO

ESPINDOLA, Marcus S. **Uma contribuição à otimização de conversores sigma-delta.** Itatiba, 2004. Trabalho de Conclusão de Curso, Universidade São Francisco, Itatiba, 2004.

Conversores analógicos-digitais (AD) baseados em uma modulação sigma-delta ( $\Sigma\Delta$ ) substituem a resolução no tempo por resolução em amplitude combinando alta taxa de amostragem, realimentação negativa e filtro digital.

Conversores AD  $\Sigma\Delta$  de primeira ordem são os mais simples e robustos, possuindo uma arquitetura de modulação estável. Eles são insensíveis as imperfeições do circuito e descasamento de componentes uma vez que contam com um integrador simples e um comparador com realimentação. Ao passo que um filtro digital pode ser facilmente implementado utilizando um filtro comb [1].

Será descrita uma implementação de um conversor  $\Sigma\Delta$  de primeira ordem utilizando um microcontrolador e poucos componentes externos.

**Palavras-chaves:** conversor, sigma-delta,  $\Sigma\Delta$ , analógico-digital, AD, filtro, modulador, primeira ordem, integrador, comparador, SNR, sobre amostragem, ruído.

## ABSTRACT

*Analog-to-Digital (AD) converters based on Sigma-Delta ( $\Sigma\Delta$ ) modulation trade resolution in time for resolution in amplitude combining high sampling rates, negative feedback and digital filtering. First order  $\Sigma\Delta$  AD converters are the simplest, most robust, stable modulator architecture. They are especially insensitive to circuit imperfections and component mismatch since they rely on a simple integrator and a comparator embedded within a feedback loop whereas the digital filter can be easily implemented with a comb filter [1]. A 1<sup>st</sup> order  $\Sigma\Delta$  converter will be implemented by using a microcontroller and a few external devices.*

**Keywords:** *converter, sigma-delta,  $\Sigma\Delta$ , analog-digital, AD, filter, modulator, first order, integrator, comparator, SNR, oversampling, noise.*



# 1. INTRODUÇÃO

A tecnologia de conversão  $\Sigma\Delta$  é baseada em sobre amostragem, modulação de ruído e filtro digital. Existem algumas vantagens inerentes aos conversores AD  $\Sigma\Delta$ . A maior delas é, por serem baseados predominantemente em processamento digital de sinal, seu baixo custo de implementação. Além disso, devido à sua natureza digital, os conversores  $\Sigma\Delta$  podem ser integrados em outros componentes digitais. Com relação à tecnologia de manufatura, a tecnologia  $\Sigma\Delta$  oferece redução de custo do sistema já que os requisitos para o filtro *anti-aliasing* são consideravelmente menos complexos e o circuito de retenção e amostragem (*sample and hold*) está intrínseco a tecnologia uma vez que possui alta taxa de amostragem de entrada e uma baixa precisão de conversão AD. Como os estágios de filtro digital situam-se antes da conversão AD, os ruídos inseridos durante o processo de conversão, tal como o *ripple* da fonte de alimentação, ruído da tensão de referência ou ruído do próprio conversor AD, podem ser controlados. E também, os conversores  $\Sigma\Delta$  são intrinsecamente lineares e não sofrem, de forma significativa, das não linearidades diferenciais assim como seu patamar de ruído, que estabelece a relação sinal ruído (SNR), é também independente do sinal de entrada. Por fim, uma das maiores vantagens é que pode-se atingir um alto desempenho pela fração do custo de um projeto híbrido e modular [2].

## 1.1. OBJETIVOS

### 1.1.1. Objetivo Geral

Este trabalho tem como objetivo descrever a topologia de um conversor  $\Sigma\Delta$  e implementá-lo utilizando um microcontrolador e poucos componentes externos.

### 1.1.2. Objetivos Específicos

Os objetivos desse trabalho são:

- Compreensão do conceito de conversores Analógico-Digital (AD)/ Digital-Analógico (DA)
- Compreensão do conceito de moduladores e conversores sigma-delta ( $\Sigma\Delta$ )
- Comparação entre os conversores  $\Sigma\Delta$  existentes

- Implementação de um conversor  $\Sigma\Delta$ ;

## **1.2. METODOLOGIA**

Os resultados pretendidos são: uma compreensão do conceito de conversores AD, bem como o de conversores  $\Sigma\Delta$  e uma futura implementação desse conversor, de 1ª ordem, utilizando um comparador analógico de um microcontrolador.

## **1.3. ESTRUTURA DO TRABALHO**

O trabalho será basicamente estruturado da seguinte forma: introdução a conversores DA, AD e  $\Sigma\Delta$ ; informações gerais sobre erro de quantificação, técnicas de sobre-amostragem, modulação do ruído e modulação  $\Sigma\Delta$ ; comparação entre a implementação discreta e contínua no tempo; e, por fim, será descrita uma implementação utilizando um microcontrolador.

## 2. FUNDAMENTAÇÃO TEÓRICA

Para que se possa discutir sobre os conversores  $\Sigma\Delta$  se faz necessário um conceito básico dos conversores AD e DA os quais serão brevemente discutidos.

### 2.1. CONVERSORES DA

Considerando o diagrama em bloco de um conversor digital-analógico (DA), como mostrado na figura 1, define-se  $B_{in}$  como um sinal digital (ou uma palavra) de forma que [3]:

$$B_{in} = b_1 2^{-1} + b_2 2^{-2} + \dots + b_N 2^{-N} \quad \text{Equação 1}$$

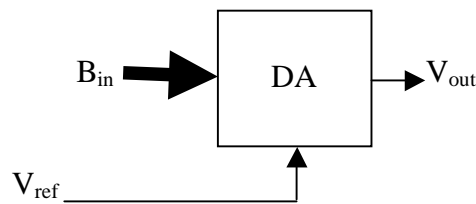


Figura 1. Conversor DA

Onde  $b_i$  é um dígito binário (0 ou 1).  $b_1$  também é definido como o bit mais significativo (MSB) e  $b_N$ , como o bit menos significativo (LSB). Assume-se que  $B_{in}$  é um valor positivo, resultando em um conversor DA unipolar. Um conversor DA unipolar produz um sinal de saída de uma única polaridade. Em contrapartida, conversores sinalizados produzem sinais de saída de polaridade tanto positiva quanto negativa, dependendo do sinal do bit (geralmente  $b_1$ ).

O sinal de saída analógico,  $V_{out}$ , é relacionado ao sinal digital,  $B_{in}$ , através de uma referência,  $V_{ref}$ . Para simplificar, assume-se que tanto  $V_{out}$  quanto  $V_{ref}$  são sinais de tensão, embora possam ser outras grandezas físicas, como correntes ou cargas. A relação entre esses três sinais, para um conversor DA unipolar, é dada por [3]:

$$V_{out} = V_{ref} \cdot (b_1 2^{-1} + b_2 2^{-2} + \dots + b_N 2^{-N}) = V_{ref} \cdot B_{in} \quad \text{Equação 2}$$

Usualmente, define-se  $V_{LSB}$  como sendo a variação de tensão quando 1 LSB muda, ou matematicamente,  $V_{LSB} \equiv \frac{V_{ref}}{2^N}$ .

A curva de transferência para um conversor AD ideal de 2 bits é mostrada na figura 2 [3]. Nota-se que o sinal de saída possui valores bem definidos. Observa-se, também, que o valor máximo de  $V_{out}$  não é  $V_{ref}$  mas sim  $V_{ref} \cdot (1 - 2^{-N})$ , ou  $V_{ref} - V_{LSB}$ .

A tensão de saída é proporcional a multiplicação das entradas,  $B_{in}$  e  $V_{ref}$ .

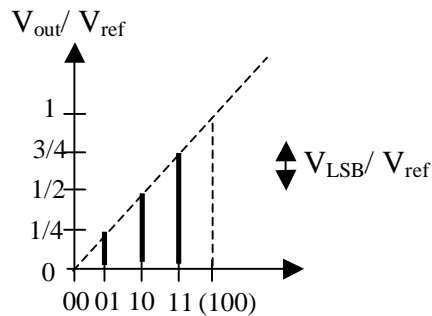


Figura 2. Curva de transferência entrada-saída para um conversor DA ideal de 2 bits

## 2.2. CONVERSORES AD

A representação do diagrama em blocos de um conversor analógico-digital (AD) é mostrada na figura 3.  $B_{out}$  é a palavra digital de saída, enquanto  $V_{in}$  e  $V_{ref}$  são a entrada analógica e o sinal de referência, respectivamente. Para esse caso, também pode-se definir  $V_{LSB}$  como a variação do sinal correspondente a mudança de um LSB, como no caso do conversor DA.

Para um conversor AD, a seguinte equação relaciona o sinal [3]:

$$V_{ref} \cdot (b_1 2^{-1} + b_2 2^{-2} + \dots + b_N 2^{-N}) = V_{in} \pm V_x \quad \text{Equação 3}$$

$$\text{Onde } -\frac{1}{2} V_{LSB} \leq V_x < \frac{1}{2} V_{LSB} \quad \text{Equação 4}$$

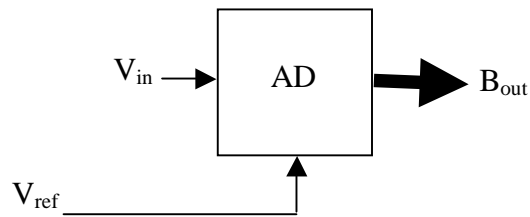


Figura 3. Diagrama em blocos representando um conversor AD

Note que há uma faixa de valores de entrada válida que produz a mesma palavra digital de saída. Essa ambigüidade produz o que é conhecido como erro de quantização.

Como no conversor DA, uma curva de transferência para o conversor AD de 2 bits pode ser traçada como na figura 4 [3].

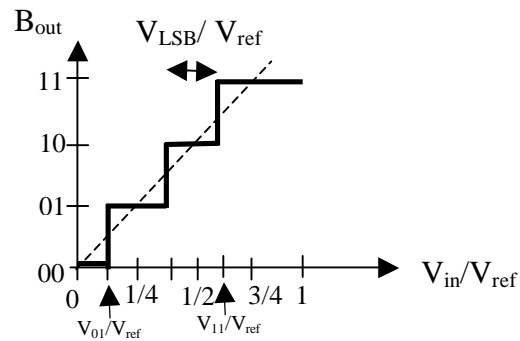


Figura 4. Curva de transferência entrada-saída para um conversor AD ideal de 2 bits

### 2.3. CONVERSORES $\Sigma\Delta$

Os conversores AD, baseados em modulação Sigma-Delta trocam resolução no tempo por resolução em amplitude, combinando:

- Altas taxas de amostragem
- Realimentação negativa
- Filtro digital

## 2.4. ERRO DE QUANTIFICAÇÃO EM CONVERSORES AD

Quantificação de amplitude é a conversão de um sinal analógico periódico em um número finito de níveis discretos. A diferença entre a amplitude original contínua e o novo valor representa o erro de quantificação. Esse erro é da ordem de 1 LSB em amplitude e muito pequeno comparado a sinais de amplitudes elevadas. Entretanto, quanto menor o sinal de entrada, maior será o erro de quantificação.

Quando um sinal de entrada é amostrado para obter a seqüência  $x(n)$ , cada valor é codificado utilizando uma palavra finita de B-bits incluindo o bit de sinalização. Assumindo que a seqüência é escalada como  $|x(n)| \leq 1$  para representações de números fracionários, a faixa dinâmica (DR) será 2. Como o codificador emprega B-bits, um número de níveis disponíveis para quantificação  $x(n)$  é  $2^B$ . O intervalo entre os níveis sucessivos,  $q$ , é dado por:

$$q = \frac{1}{2^{B-1}} \quad \text{Equação 5}$$

O qual é chamado de passo de quantificação. O valor de amostragem da entrada  $x^*(t)$  é arredondado para o nível mais próximo, como ilustrado na figura 5 [2].

Pela Equação (6), verifica-se que a saída do conversor AD é a soma do sinal atual amostrado  $x^*(t)$  e uma componente de erro (ruído de quantificação)  $e(n)$ :

$$x(n) = x^*t + e(n) \quad \text{Equação 6}$$

Para um sinal de entrada que é pequeno comparado com 1 LSB, a parcela de erro  $e(n)$  é uma quantidade aleatória no intervalo  $(-q/2, q/2)$  com igual probabilidade. Assim, a potência do ruído (variância),  $\sigma_e^2$ , pode ser encontrada como:

$$\sigma_e^2 = E[e^2] = \frac{1}{q} \int_{(-q)/2}^{q/2} e^2 de = \frac{q^2}{12} = \frac{2^{-2B}}{3} \quad \text{Equação 7}$$

Onde E denota uma esperança estatística.

Deve-se referir a  $\sigma_e^2$  na equação (7) como sendo a potência de ruído de quantificação de entrada constante. A figura 6 [2] mostra o espectro do ruído de quantificação. Uma vez que esse ruído é espalhado igualmente sobre a faixa inteira de frequência, o nível da densidade espectral de potência do ruído pode ser expresso por:

$$N(f) = \frac{q^2}{12f_s} = \frac{2^{-2B}}{3f_s} \quad \text{Equação 8}$$

Estes conceitos aplicam-se a conversores AD, em geral.

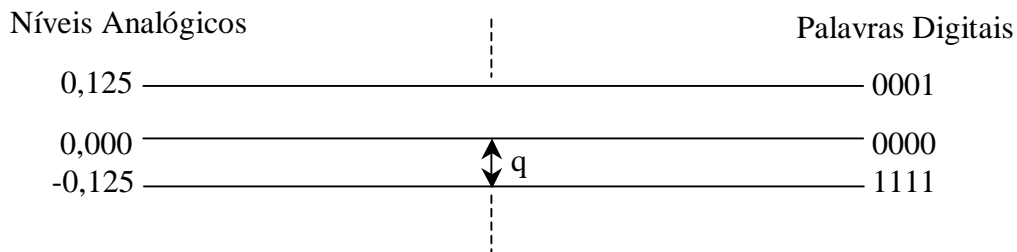


Figura 5. Erro de Quantificação

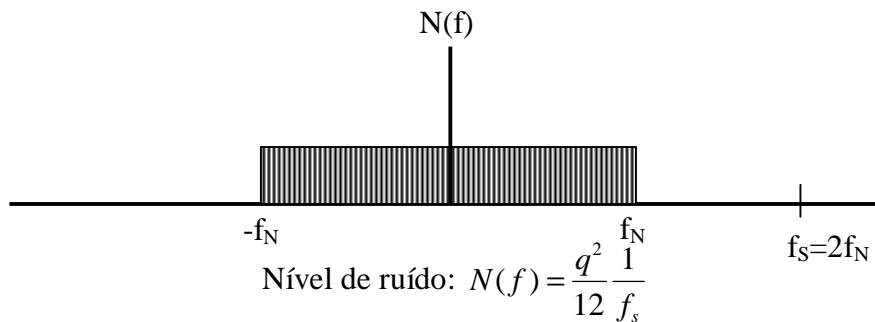


Figura 6. Espectro de ruído para amostragem Nyquist

## 2.5. A TÉCNICA DE SOBRE AMOSTRAGEM E A MODULAÇÃO DO RUÍDO

O processo de quantificação no conversor AD de taxa *Nyquist* é, geralmente, diferente em relação aos conversores de sobre-amostragem. Enquanto o primeiro executa a quantificação em um intervalo de amostragem simples para toda a precisão do conversor, o segundo usa uma sequência de quantificação de dados na entrada de  $f_s = Nf_s$ , seguida por um processo de decimação no domínio digital, para computar uma estimativa mais precisa para a entrada analógica nas saídas de mais baixas taxas de amostragem,  $f_s$ , a qual é a mesma que a utilizada na amostragem *Nyquist*.

A técnica de sobre-amostragem incrementa a SNR de um conversor AD. Na verdade, a melhora na SNR é uma consequência direta da diminuição da potência do ruído de quantificação na

banda de interesse. Quando um sinal é amostrado a uma frequência  $f_s$ , toda a potência do ruído de quantificação aparecerá na banda  $0 \leq f \leq \frac{1}{2}f_s$ . Então, se o degrau de quantificação é  $q_s$ , o erro de quantificação é um processo ruído branco com variância  $\sigma^2=(q_s^2/12)$ , e toda a potência do ruído aparece na faixa  $0 \leq f \leq \infty$ , a densidade espectral de potência do ruído amostrado à taxa  $f_s$ , vem dada por:

$$n^2(f) = \frac{q_s^2}{12} \left( \frac{2}{f_s} \right) \quad \text{Equação 9}$$

Definindo a relação de sobre-amostragem como  $M = (f_s/f_N) = (f_s/2f_i)$ , a potência do ruído na banda do sinal  $f_i$  é:

$$n_i^2 = \int_0^{f_i} n^2(f)df = \frac{q_s^2}{12} \left( \frac{2f_i}{f_s} \right) = \frac{q_s^2}{12} \left( \frac{1}{M} \right) \quad \text{Equação 10}$$

Portanto, a potência do ruído na banda base fica reduzida exatamente pela relação de sobre-amostragem. A equação (10) pode ser melhor compreendida graficamente. Um sistema trabalhando à frequência de *Nyquist* apresenta um espectro de ruído como ilustrado na figura 7 (a) [9]. Se o sistema é sobre-amostrado (figura 7 (b)), é necessária uma redução na magnitude da densidade espectral do ruído para manter a mesma potência total do erro de quantificação (Isto é, a área do retângulo preto) entre 0 e  $\frac{1}{2}f_s$ . Desta forma, é possível alcançar uma diminuição de 3 dB na potência do erro por cada duplicação de  $f_s$ .

Se a técnica de sobre-amostragem é combinada com a modulação apropriada do espectro de ruído (*noise shaping*), como na figura 7 (c), é factível uma melhoria ainda maior na resolução do conversor: a densidade espectral de potência do ruído é alterada movendo sua energia para a região de alta frequência. Naturalmente, este ruído de quantificação na faixa de alta frequência deve ser eliminado com um filtro digital passa baixa sem afetar a banda do sinal. O modulador  $\Sigma\Delta$  é um tipo particular de codificador de *noise shaping* que usualmente emprega unidades monobit.



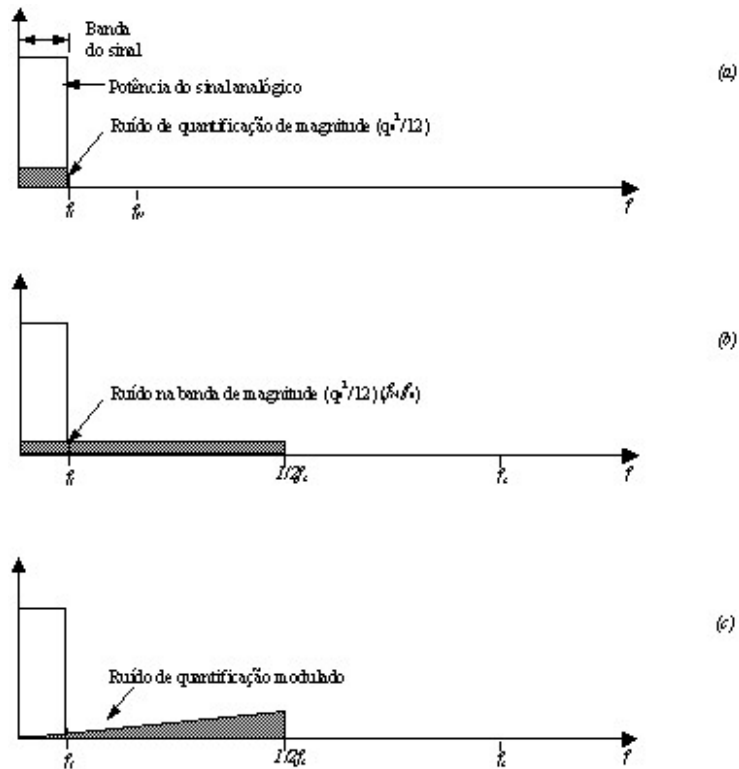


Figura 7. Redução da potência do erro em banda base pela sobre-amostragem e a modulação do ruído

## 2.6. FUNDAMENTOS DA MODULAÇÃO $\Sigma\Delta$

A configuração básica de um modulador  $\Sigma\Delta$  corresponde a da figura 8 [9]. A entrada do circuito é injetada ao comparador, o elemento que realiza a quantificação, através do integrador e a saída quantificada é realimentada para ser subtraída do sinal de entrada. Esta realimentação força o valor médio do sinal quantificado a seguir o valor médio da entrada. Qualquer diferença persistente entre estes sinais é acumulada no integrador e eventualmente o sistema corrige a si mesmo. Quando a entrada do modulador é um sinal DC, o sinal quantificado oscila de tal forma que seu valor médio é igual ao valor da entrada, como pode ser apreciado na Figura 9 [20] para um nível aplicado igual a  $3q_s/7$ . Observa-se que o padrão na saída se repete depois de 7 ciclos de relógio, sendo que aparecem 3 níveis altos neste período, correspondendo exatamente ao valor de entrada.

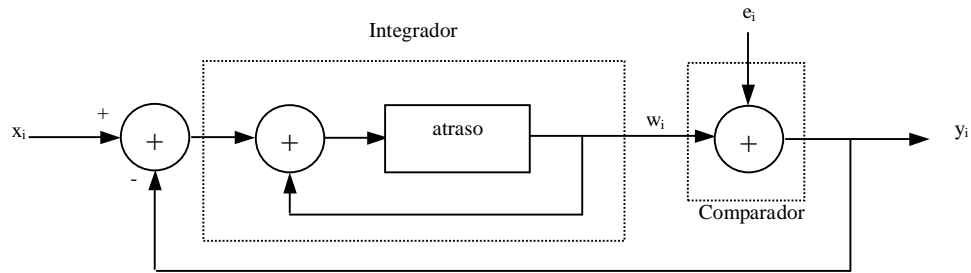


Figura 8. Modelo linearizado do modulador  $\Sigma\Delta$

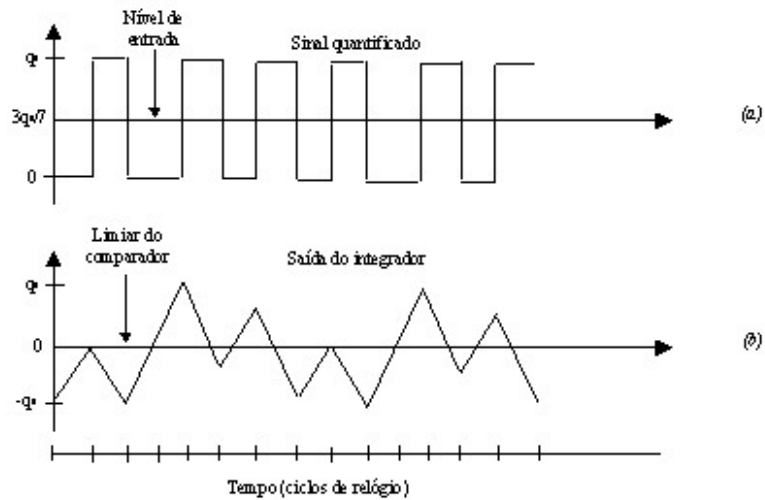


Figura 9. Resposta de um modulador  $\Sigma\Delta$  a uma entrada constante

O circuito linearizado da figura 8 possui duas entradas: o sinal analógico e o ruído de quantificação. Assumindo esse sistema discreto no tempo, as saídas o integrador e do modulador são  $w_i = w_{i-1} + (x_{i-1} - y_{i-1})$  e  $y_i = w_i + e_i$ , respectivamente, e portanto:

$$y_i = x_{i-1} + (e_i - e_{i-1}) \quad \text{Equação 11}$$

Assim, em essência, o modulador de primeira ordem tenta cancelar o sinal de erro que aparece na entrada do integrador subtraindo os erros de quantificação de duas amostras adjacentes sem afetar o sinal analógico, a exceção do atraso. Logo, a função de transferência do sinal é um simples atraso  $[y(z)/x(z)] = (z^{-1})$ , enquanto para o ruído corresponde a um filtro passa alto  $[y(z)/e(z)] = (1 - z^{-1})$ . A densidade espectral de potência para este tipo de filtro vem dada por:

$$n_e^2(f) = 4 \operatorname{sen}^2 \left( \pi \frac{f}{f_s} \right) \quad \text{Equação 12}$$

Então, se o ruído de quantificação não está correlacionado com o sinal analógico, a densidade espectral de potência do ruído na saída do modulador é igual ao produto de (12) vezes a densidade espectral do sistema amostrado (9):

$$n_0^2(f) = \frac{q_s^2}{12} \left( \frac{2}{f_s} \right) \left\{ 4 \operatorname{sen}^2 \left( \pi \frac{f}{f_s} \right) \right\} \quad \text{Equação 13}$$

A expressão 13 indica que a modulação do ruído é tal que a potência do ruído é atenuada em baixa frequência pela função do seno, ao passo que é amplificada em altas frequências. Nestas condições e com  $f_i \ll f_s$ , a potência do ruído na banda do sinal é:

$$n_i^2(f) = \int_0^{f_i} n_0^2(f) df \cong \frac{q_s^2 \pi^2}{36M^3} \quad \text{Equação 14}$$

O qual é um notável aperfeiçoamento em relação à Equação (10) quando emprega-se somente sobre-amostragem.

Não obstante, a análise anterior pressupõe elementos ideais e livres de ruído. Dado que o comparador introduz não linearidade no circuito, uma expressão analítica para avaliar a influência das características não ideais do sistema é muito difícil de ser obtida. Uma característica não ideal é o ruído inerente ao modulador. É óbvio que o ruído térmico e as componentes do ruído de alta frequência que aparecem na banda base pelo efeito da subsequente filtragem digital não ideal, degradarão o desempenho do circuito.

Outro importante fenômeno associado à modulação  $\Sigma\Delta$  e a impossibilidade de ser prever pelo modelo linearizado da figura 8, a oscilação instável ou *limit cycle oscillation*. Estas oscilações ocorrem pelo fato de que, para certos níveis ou determinadas formas de onda de entrada, o ruído de quantificação pode chegar a estar correlacionado com o sinal analógico e, então, a hipótese de que o espectro do ruído possui características de ruído branco não é mais válida. Este efeito pode ser atenuado injetando na entrada um sinal de alta frequência, chamado de *dither*, com o objetivo de garantir a não correlação entre o ruído e o sinal analógico aplicado. Entretanto, a introdução do *dither* tende a reduzir a faixa dinâmica do modulador.

Finalmente, um tipo de comportamento não linear adicional é a distorção harmônica, a qual ocorre para níveis de entrada entre  $-5$  e  $-10$  dB ( $0$  dB é definido, por convenção, como a potência de um sinal senoidal de entrada cuja amplitude é igual à metade do degrau de quantificação  $q_s$ ). Este tipo de não linearidade é evidente só através de simulação, sendo o terceiro harmônico a componente predominante. O fenômeno é originado pela saturação ou sobrecarga na saída dos integradores e que não pode ser compensada pela realimentação, levando o sistema a instabilidade.

A causa de que a escala máxima de um modulador  $\Sigma\Delta$  é  $FS = \pm \frac{1}{2} q_s$ , a máxima potência espectral do sinal será:

$$P_i = \frac{(q_s/2)^2}{2} = \frac{q_s^2}{8} \quad \text{Equação 15}$$

e para a relação sinal-ruído tem-se:

$$SNR = \left( \frac{P_i}{N_i} \right)^{1/2} = \left( \frac{9M^3}{2\pi^2} \right)^{1/2} = \quad \text{Equação 16}$$

$$SNR = 9,03 \log_2 M - 3,41 \text{dB} = 30 \log M - 3,41 \text{dB}$$

Fazendo, então, evidente, que para cada duplicação da relação de sobre-amostragem, a SNR melhora por 9 dB, o que se traduz em um incremento de 1,5 bits na resolução de conversão.

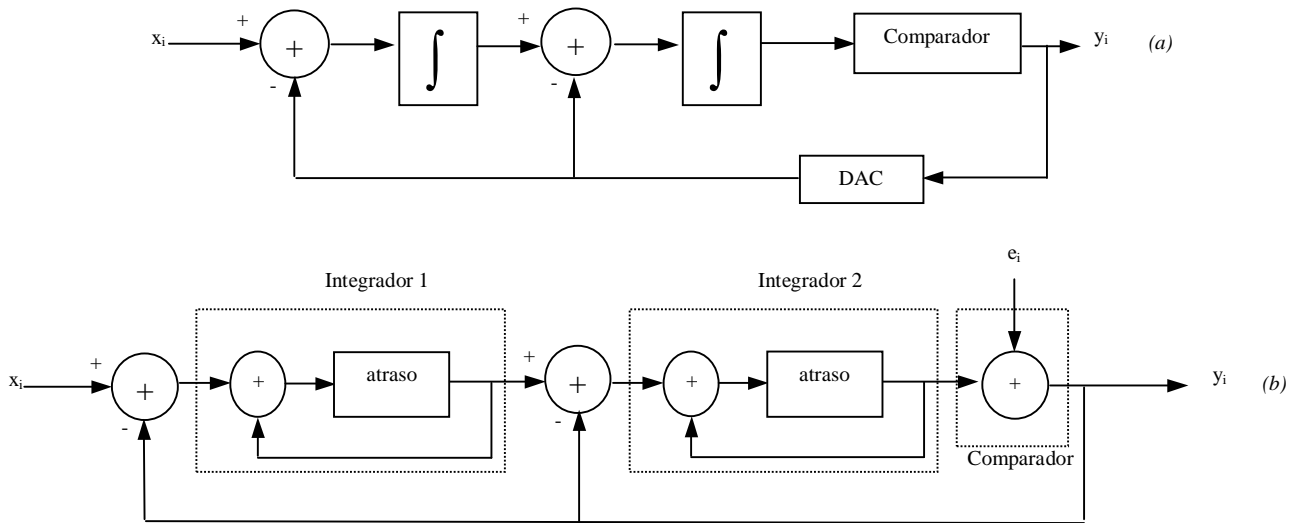


Figura 10. Modulador de segunda ordem (a) e seu modelo normalizado (b)

Um modulador de segunda ordem, como o exibido na figura 10 [9], é obtido adicionando outro integrador no laço. Esta estrutura, quando comparada ao modulador de primeira ordem,

permite diminuir ainda mais o ruído de quantificação de baixa frequência para a mesma relação de sobre-amostragem. Uma vantagem adicional é que o integrador acrescentado faz do ruído de quantificação uma função mais complexa dos parâmetros do circuito e, desta forma, menos correlacionada com o sinal analógico, eliminando a necessidade do sinal de *dither*. A presença dos dois integradores pode levar o sistema a instabilidade fazendo necessário incluir um laço interno de realimentação. Para o circuito equivalente linearizado da figura 10 (b), a saída do modulador pode ser expressa como:

$$y_i = x_{i-2} + (e_i - 2e_{i-1} + e_{i-2}) \quad \text{Equação 17}$$

E a modulação do ruído corresponde à segunda diferença do ruído de quantificação enquanto o sinal de entrada aparece inalterado na saída depois de dois atrasos. Assim, a função de transferência do ruído é a do filtro passa alto  $[y(z)/e(z)] = (1 - z^{-1})^{-2}$  com a seguinte densidade espectral:

$$n_e^2(f) = \left[ 4 \text{sen}^2 \left( \pi \frac{f}{f_s} \right) \right]^2 \quad \text{Equação 18}$$

E, portanto, a densidade espectral do ruído na saída do modulador passa a ser:

$$n_0^2(f) = \frac{q_s^2}{12} \left( \frac{2}{f_s} \right) \left\{ 4 \text{sen}^2 \left( \pi \frac{f}{f_s} \right) \right\}^2 \quad \text{Equação 19}$$

A potência do ruído na banda do sinal pode ser aproximada por:

$$n_i^2(f) = \int_0^{f_i} n_0^2(f) df \cong \frac{q_s^2 \pi^4}{60M^5} \quad \text{Equação 20}$$

E para a relação sinal-ruído tem-se:

$$SNR = \left( \frac{15M^5}{2\pi^4} \right)^{1/2} = \quad \text{Equação 21}$$

$$SNR = 15,05 \log_2 M - 11,13dB = 50 \log M - 11,13dB$$

Ficando claro que cada duplicação da relação de sobre-amostragem proporciona um incremento de 15 dB no SNR ou 2,5 bits adicionais de resolução. A figura 11 [9] permite fazer uma comparação das densidades espectrais do ruído de quantificação (Equação (9)) com o ruído modulado pelos sistemas  $\Sigma\Delta$  de primeira ordem e segunda ordem. O ruído de quantificação e a frequência estão normalizados a  $n^2(f)=1$  e  $f_s=1$ , respectivamente. Como notado acima, apesar de que existe uma apreciável atenuação do ruído em baixa frequência, a modulação  $\Sigma\Delta$  o amplifica substancialmente em alta frequência, sendo que o efeito é mais acentuado no caso do modulador de segunda ordem. Por sua vez, a figura 12 [9] ilustra a resolução atingível para um sistema de conversão com sobre-amostragem como uma função da relação de sobre-amostragem, e o ganho relativo quando se utiliza modulação  $\Sigma\Delta$ .

Com o objetivo de dar uma interpretação mais coerente ao desempenho predito pelos modelos linearizados para moduladores  $\Sigma\Delta$  anteriormente apresentados, é obrigatório estudar com mais detalhes as características não ideais deste sistema e levar em conta também a dependência do desempenho do circuito em relação à implementação definitiva em componentes analógicos.

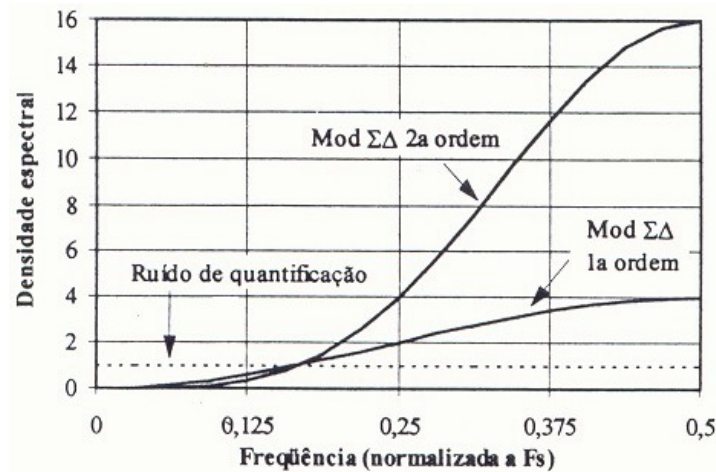


Figura 11. Densidade espectral de moduladores  $\Sigma\Delta$  face o ruído de quantificação

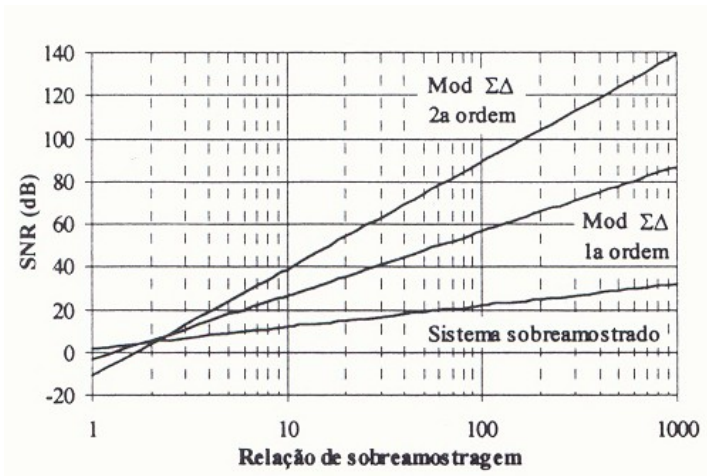


Figura 12. SNR em função da relação de sobre-amostragem

## 2.7. IMPLEMENTAÇÃO DISCRETA VS. CONTÍNUA NO TEMPO

Circuitos baseados em redes de capacitores comutados, sistemas discretos no tempo, não são bem apropriados para projetar moduladores  $\Sigma\Delta$  uma vez que é difícil de se obter uma chave eficiente e, usualmente, requer uma circuitaria de apoio, área adicional e consumo de potência extra se desenvolvido em microeletrônica, especialmente quando utiliza-se uma arquitetura completamente diferencial. Além disso, as redes de capacitores chaveados geram, potencialmente, mais ruído quando comparados aos sistemas contínuos no tempo. Fenômenos como ruído térmico, *clock feedthrough* e injeção de carga dominam as características do ruído em sistemas de condensadores comutados. O ruído térmico, proporcional ao fator ( $kT/C$ ), amostrado no primeiro integrador determina a faixa dinâmica de um modulador em capacitores comutados. Uma porção deste ruído é introduzida na entrada junto com o sinal analógico e, portanto, não será suprimida pela ação da modulação do ruído. Apesar de que o ruído térmico pode ser reduzido incrementando o valor da capacitância de integração, esta opção aumenta a área e o consumo de potência, e pode gerar distorção pela amostragem não linear na abertura e fechamento das chaves de amostragem. Adicionalmente, a velocidade de um sistema discreto no tempo é limitada fundamentalmente pelo processo de estabelecimento dos integradores nas redes de condensadores comutados.

Uma alternativa para superar estas restrições, embora tenha sido pouco explorada, é o uso de modulação contínua no tempo. Os circuitos contínuos no tempo são preferíveis pois os requisitos de largura de banda de ganho unitário e tempo de estabelecimento exigidos pelos amplificadores operacionais empregados como integradores não são tão severos como no caso das redes de

capacitores chaveados, onde a integração é feita durante metade do período do relógio. Em contraste, para implementar uma dada função de transferência e atingir uma adequada modulação do ruído, os moduladores  $\Sigma\Delta$  contínuos no tempo possuem uma menor flexibilidade em relação às versões de capacitores comutados. Também, os sistemas contínuos no tempo são mais sensíveis ao ruído  $1/f$  e ao *jitter* do relógio.

### 3. IMPLEMENTAÇÃO

A figura 13 ilustra uma arquitetura básica de um conversor  $\Sigma\Delta$ , o qual compreende um integrador analógico, um quantificador ou comparador em realimentação através de um conversor digital-analógico (DA) de um bit e um filtro passa-baixas digital.

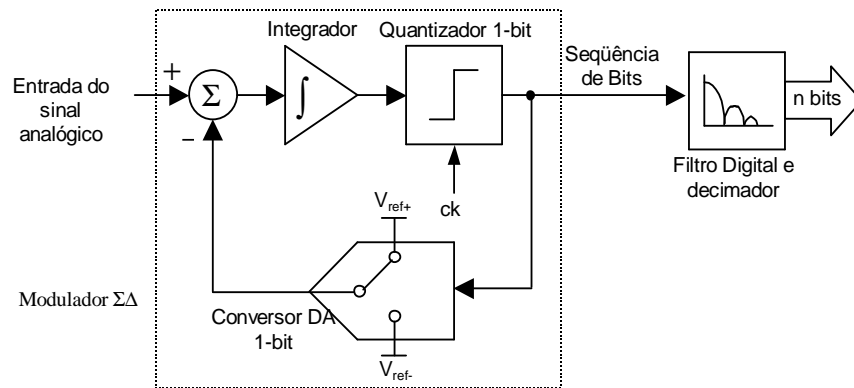


Figura 13. Conversor  $\Sigma\Delta$

O sinal de entrada, adicionado ao sinal de saída do conversor de 1 bit alimenta o comparador através do integrador e a saída quantificada é, novamente, alimentada e subtraída da entrada. Essa realimentação força um valor médio do sinal quantificado seguindo a média do sinal de entrada. Qualquer diferença entre elas é acumulada no integrador e, eventualmente, corrige-se automaticamente. Juntamente com o integrador, a realimentação atenua a quantificação de ruído para baixas frequências enquanto modula a potência do ruído para as faixas de alta frequência. Uma vez que o sinal é amostrado a frequências maiores que a taxa de *Nyquist*, os ruídos de alta frequência podem ser removidos sem afetar a banda do sinal por meio de um filtro digital passa-baixas operando na saída do modulador  $\Sigma\Delta$ .

A resposta do modulador a um sinal de entrada tipo rampa é mostrada na figura 14. Pode-se notar que a saída quantificada oscila de maneira que sua média local seja igual a média da



entrada. O dado digital oriundo do modulador é uma seqüência de bits únicos de 1's e 0's e a densidade de 1's é proporcional ao valor médio do sinal de entrada. Os dados de alta freqüência do modulador são filtrados pelo filtro passa-baixas a fim de remover qualquer ruído e decimar para a taxa de *Nyquist*. Essa decimação resulta em uma saída no formato de n-bits binários.

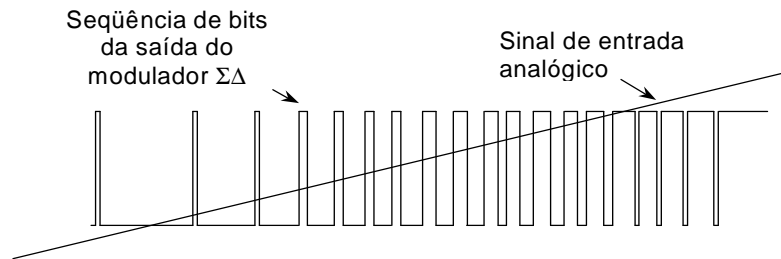


Figura 14. Resposta de um modulador  $\Sigma\Delta$  a um sinal de entrada tipo rampa

Moduladores  $\Sigma\Delta$  têm sido amplamente implementados no domínio do tempo discreto usando circuitos de chaveamento capacitivo. Entretanto, os moduladores  $\Sigma\Delta$  contínuos no tempo têm se tornado muito populares, já que seu desempenho é similar às versões discretas no tempo. A figura 15 ilustra um conversor  $\Sigma\Delta$  contínuo no tempo onde a rede  $R_1-C_1$  age como um integrador passivo. Além disso,  $R_2$  funciona como um conversor DA de um bit fechando a realimentação. O circuito  $R_1-C_1$  também age como um filtro passa-baixas *anti-alias* na entrada do conversor AD.

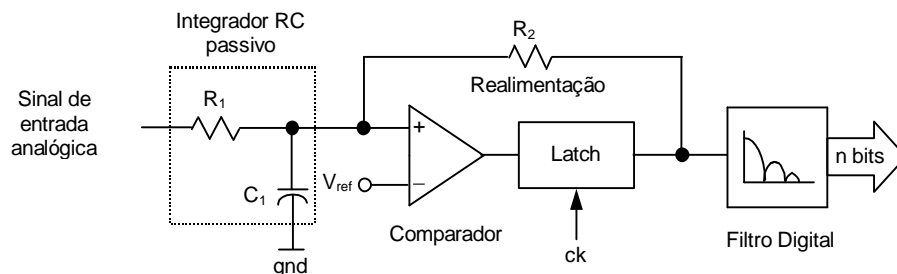


Figura 15. Conversor  $\Sigma\Delta$  de primeira ordem contínuo

Definindo a taxa de sobre-amostragem como:

$$M = f_{ck} / f_N \quad \text{Equação 22}$$

Onde:

$f_{ck}$  é a frequência de amostragem

$f_N$  é a taxa de *Nyquist* para um sinal de largura de banda  $f_{in}$  ( $f_N=2f_{in}$ )

O SNR do modulador  $\Sigma\Delta$  de primeira ordem é dada por:

$$SNR = 30 \log M - 3,41dB \quad \text{Equação 23}$$

O número efetivo de bits (ENOB) é dado por:

$$ENOB = \frac{SNR - 1,7}{6,023} \text{ bits} \quad \text{Equação 24}$$

Por (23) e (24), fornecendo uma taxa de sobre-amostragem maior que, aproximadamente, 130, o circuito da figura 15 permite uma resolução de aproximadamente 10 bits. Uma vez que para sinais de entrada DC ou lentamente variáveis a potência do sinal tem picos largos degradando o SNR do modulador  $\Sigma\Delta$ , um sinal *dither* de alta frequência não correlacionado com a entrada deve ser injetado. Isso tem o efeito de redistribuir a energia presente nos picos acima da faixa de amplitude mantendo a resolução esperada dada por (23).

Um microcontrolador com um comparador analógico pode ser configurado como um conversor AD  $\Sigma\Delta$  de primeira ordem contínuo no tempo, como mostrado na figura 16, adicionando somente dois resistores externos, um capacitor e programando corretamente os temporizadores internos para filtrar e decimar a saída digitalizada.

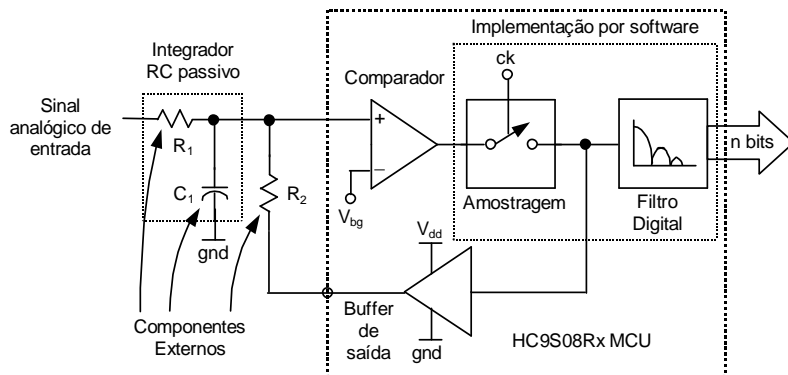


Figura 16. Implementação de um conversor AD  $\Sigma\Delta$  de 1ª ordem contínuo no tempo usando um microcontrolador com comparador analógico

O integrador  $R_1-C_1$  é similar ao do modulador da figura 15. O conversor DA de um bit é obtido conduzindo o resistor  $R_2$  com um *buffer* de saída. Os resistores devem ser ajustados para permitir uma máxima taxa de operação evitando a saturação do integrador. Um valor de capacitor apropriado deve ser ajustado de acordo com a frequência de amostragem e a largura de banda do sinal de entrada. Novamente, a rede  $R_1-C_1$  provê um filtro passa-baixas com a opção de incluir um filtro analógico adicional *anti-alias*.

Um temporizador interno ao microcontrolador acumula a quantidade de números 1's (ou 0's) na saída do comparador para computar a média do sinal de entrada analógico. Um segundo temporizador controla o número de contagem do acumulador. Cada incremento do acumulador é cuidadosamente controlado por software e define a frequência de amostragem do modulador  $\Sigma\Delta$  e, então, a taxa de sobre-amostragem  $M$ . Para atingir uma saída de 10 bits, o acumulador deve amostrar 1024 vezes o sinal de entrada. Por conseguinte, o tempo de conversão aumenta quando uma solução mais precisa se faz necessária.

As características do conversor AD  $\Sigma\Delta$  de primeira ordem implementado são:

- Baixo custo de implementação com poucos componentes externos
- Baixa complexidade no domínio analógico, uma vez que o microcontrolador faz o processamento digital necessário
- Utilização de pouca memória
- Faixa de entrada controlada por resistores externos
- Baixo nível e casamento entre os componentes externos
- Modulador altamente robusto e inerentemente estável
- Conversor linear e monotônico
- Não é necessário circuito de retenção e amostragem e circuitaria de ajuste
- 61,2 dB de SNR equivalente a 10 bits de resolução
- 65,7 dB de faixa dinâmica (DR) para uma fonte de alimentação de 2,4 V

### 3.1. DESCRIÇÃO DA APLICAÇÃO

A figura 17 mostra um diagrama esquemático de um conversor AD  $\Sigma\Delta$  de 10 bits utilizando um microcontrolador que inclui a característica de um comparador analógico. Assumindo que o sistema utiliza duas baterias de NiCd de 1,2 V e a máxima entrada do sinal seja de 2,4 V, os resistores  $R_1$  e  $R_2$  utilizados são de 47 k $\Omega$  (não críticos) para prevenir a saturação do integrador. O capacitor  $C_1$  é cerâmico e seu valor depende da frequência de amostragem do modulador e da taxa de sobre-amostragem. A frequência de amostragem do modulador é dada pela frequência do barramento interno do microcontrolador dividido pelo número de ciclos necessários para executar as instruções do software. Neste caso, essa frequência de amostragem foi definida para 50 kHz. Assim, a taxa de sobre amostragem é de 130 e a largura de banda do sinal de entrada limitado a 190 Hz. O capacitor, dessa forma, deve ser abaixo de 18 nF.

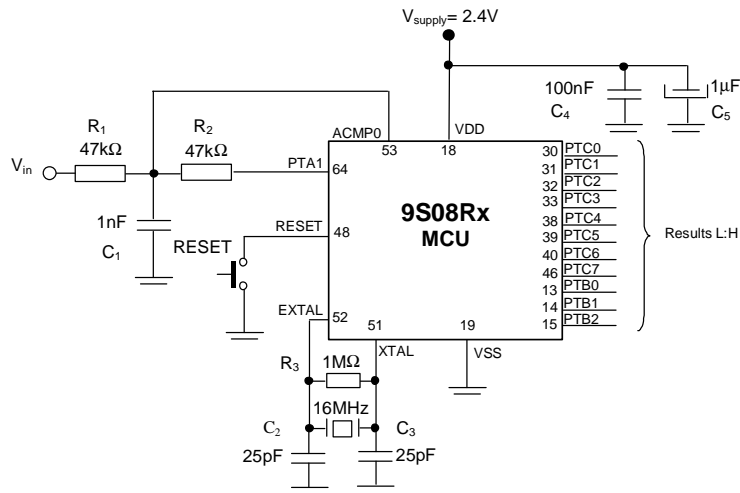


Figura 17. Diagrama do circuito conversor AD  $\Sigma\Delta$  de 1ª ordem tempo contínuo

Tipicamente, aplicações possuem 2 capacitores entre os pinos de alimentação. Um eletrolítico para armazenamento de carga, como 1  $\mu$ F, por exemplo, e um cerâmico, de 100 nF, localizado o mais próximo possível do microcontrolador para suprimir ruídos de alta frequência.

### 3.2. RESULTADOS OBTIDOS

A saída do modulador  $\Sigma\Delta$ , quando aplicado um sinal de rampa na entrada, é ilustrada na figura 18. Note que a densidade de 1's é proporcional a média da entrada. Se a entrada está em torno da tensão de referência interna o sinal de saída oscila na metade da frequência de amostragem do modulador. A figura 19 e 20 exibe a resposta do modulador para entradas triangular e senoidal, respectivamente.

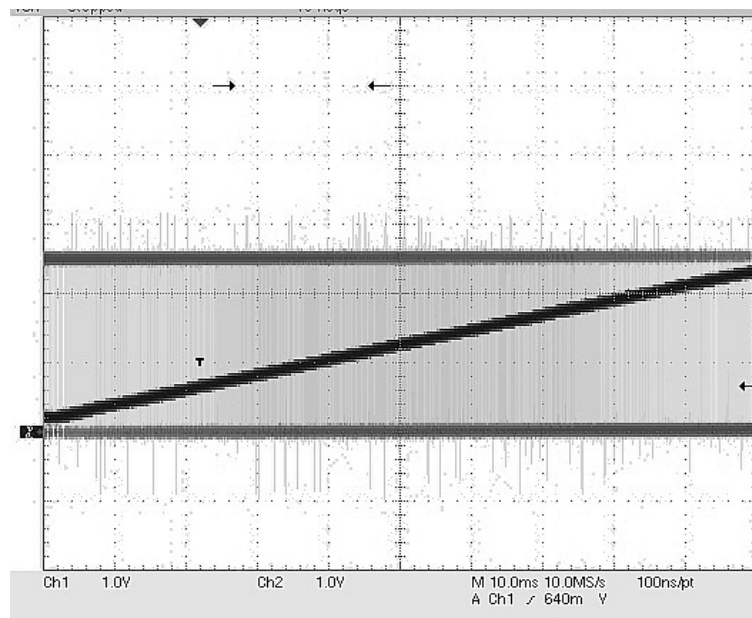


Figura 18. Resposta do modulador para uma entrada tipo rampa

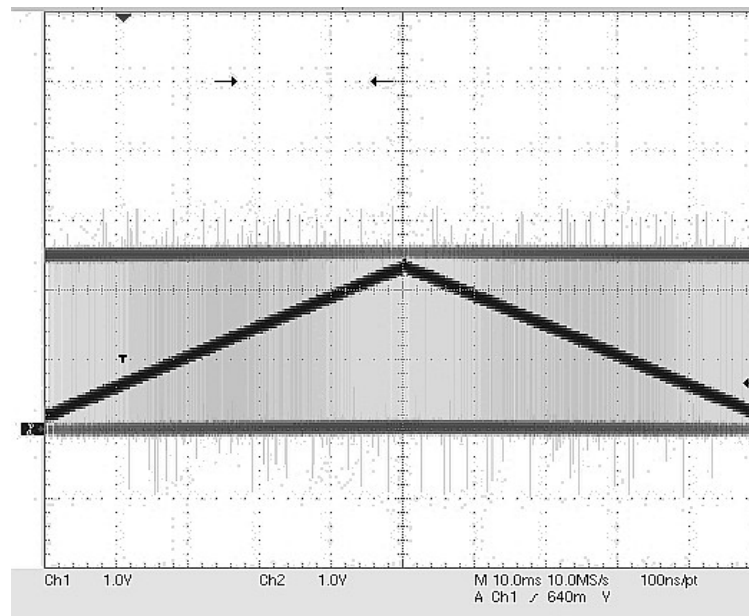


Figura 19. Resposta do modulador para uma entrada triangular

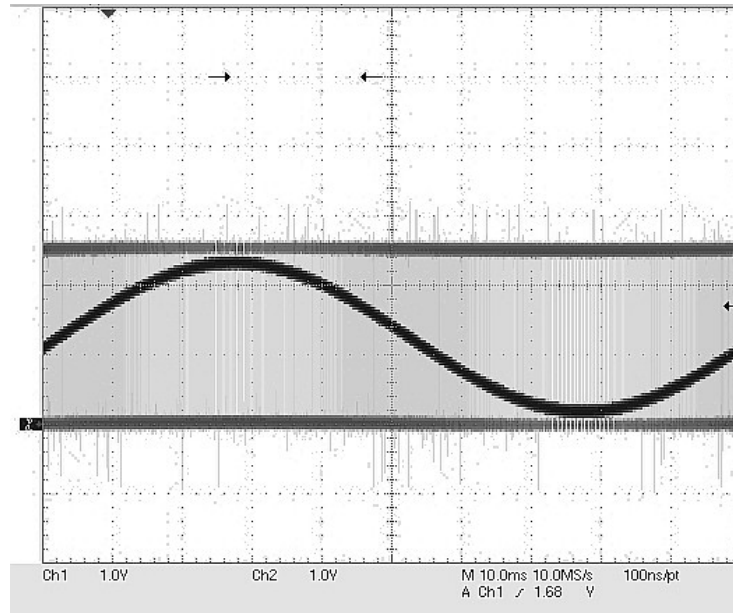


Figura 20. Resposta do modulador para uma entrada senoidal

A avaliação do modulador  $\Sigma\Delta$  é feita analisando o espectro da saída de bit único pela transformada rápida de Fourier (FFT). A potência de entrada é normalizada para o passo de quantificação definido pela fonte de alimentação do comparador enquanto a taxa de amostragem é definida para um sinal de entrada senoidal de 125 Hz com  $-8$  dB de potência normalizada.

O detalhe o espectro pode ser visto na figura 22, obtendo um SNR de 55 dB para  $-8$  dB de potência de entrada.

A figura 23 mostra o SNR medido contra a amplitude de tensão de entrada. Extrapolando para os dados da figura 23, a DR medida para o conversor AD é de 65,7 dB e o máximo SNR é 61,2 dB. A precisão do conversor é limitada pelo ruído de quantificação e distorção harmônica como no espectro de saída da figura 21 e 22. A figura 24 mostra um dado convertido para um entrada senoidal de  $2,4 V_{pp}$ , com 1,2 V de *offset*. Uma saída de 10 bits linear monotônica pôde ser obtida, conforme esperado.

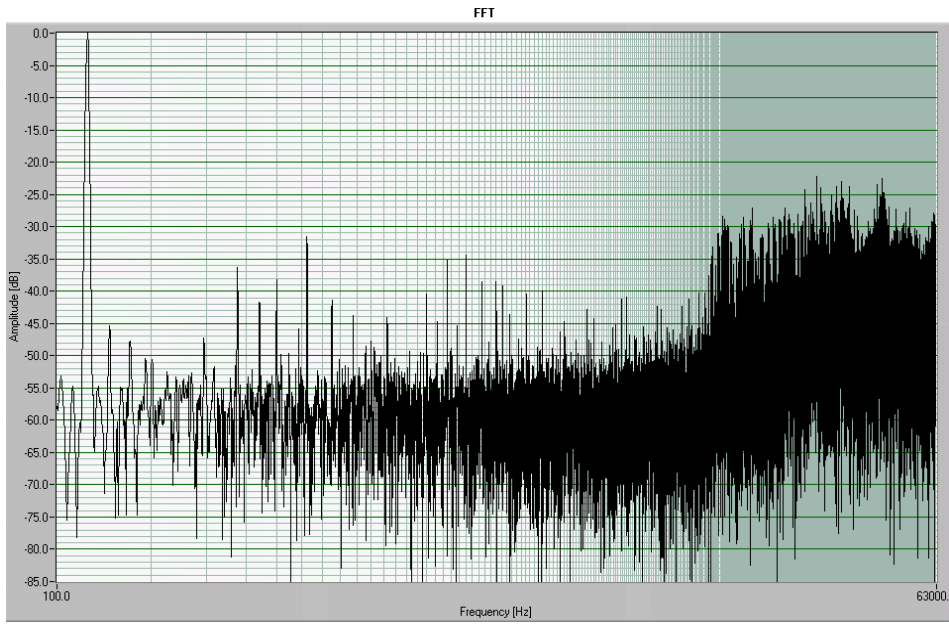


Figura 21. Espectro de saída para o modulator  $\Sigma\Delta$  de primeira ordem contínuo no tempo

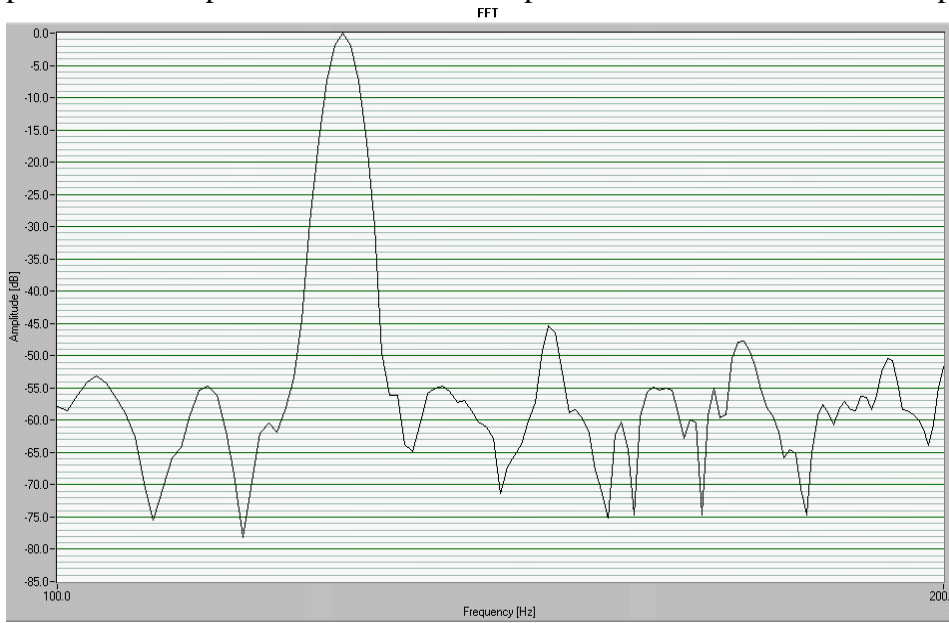


Figura 22. Espectro de saída medido para um sinal de entrada de  $-8$  dB

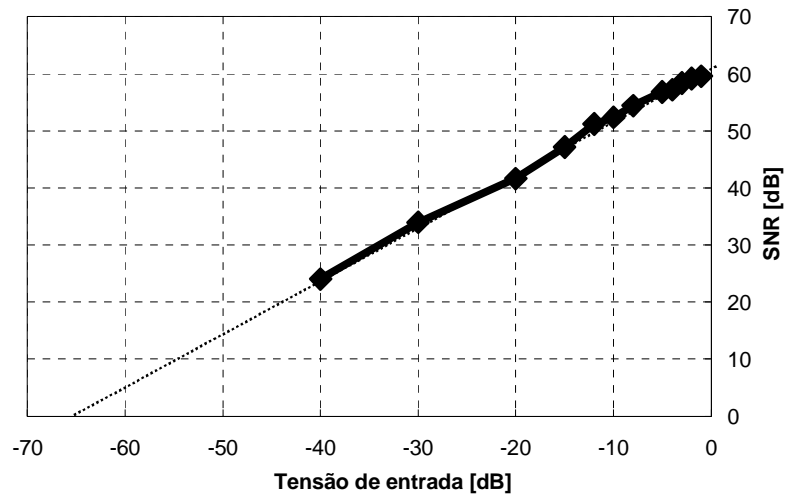


Figura 23. SNR medido para uma frequência de amostragem de 50 kHz e sinal de entrada de 125 Hz

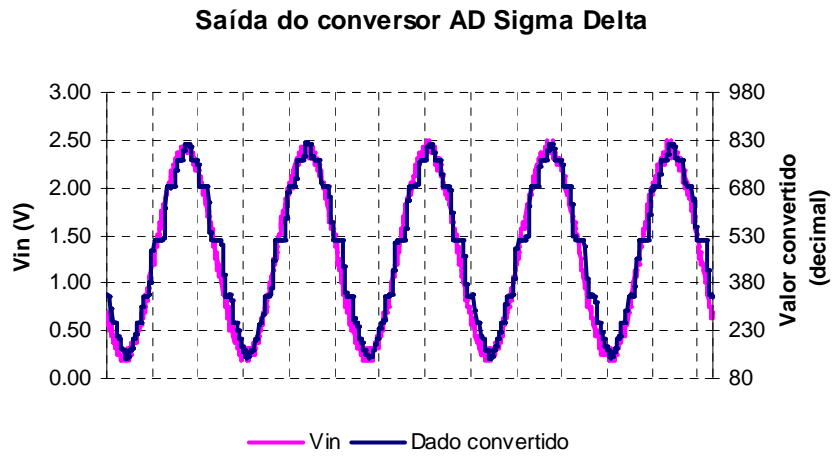


Figura 24. Sinal convertido para uma entrada senoidal de  $2,4 V_{pp}$



## 4. CONSIDERAÇÕES FINAIS

Foi apresentado nesse trabalho que a tecnologia de conversão  $\Sigma\Delta$  é baseada em sobre amostragem, modulação de ruído e filtro digital. A maior vantagem inerente aos conversores AD  $\Sigma\Delta$  é por serem baseados predominantemente em processamento digital de sinal, por conseguinte o custo de implementação é baixo. Além disso, devido à sua natureza digital, pode-se obter um conversor  $\Sigma\Delta$  integrado em um microcontrolador, por exemplo.

Para a implementação, foram utilizados poucos componentes externos, conseguindo um conversor de boa precisão, bastante robusto e estável sem a necessidade de utilização de componentes críticos. Dessa forma, conversores dessa arquitetura estão sendo amplamente utilizados.

## REFERÊNCIAS BIBLIOGRÁFICAS

- [1] SOLDERA, Jefferson; ESPINDOLA, Marcus; OLMOS, Alfredo - **“Implementing a 10-bit Sigma-Delta Analog-to-Digital Converter Using the HC9S08Rx MCU Family Analog Comparator”** – AN2688/D – [www.freescale.com](http://www.freescale.com)
- [2] PARK, Sangil. Ph. D. - **“Principles of Sigma-Delta Modulation for Analog-to-Digital Converters”** – APR8/D - <http://www.numerix-dsp.com/appsnotes/APR8-sigma-delta.pdf>
- [3] JOHNS, David A., MARTIN, Ken – **“Analog Integrated Circuit Design”**; Editora Wiley, Canada, 1997.
- [4] H. Inose, Y. Yasuda and J. Marakami, **“A telemetering system by code modulation, delta-sigma modulation”**, IRE Trans. on Space, Electronics and Telemetry, SET-8, pp. 204-209, Sept. 1962.
- [5] H. Nyquist, **“Certain topics in telegraph transmission theory”** AIEE Trans., pp. 617-644, 1928.
- [6] M. Armstrong, et al, **“A COMS programmable self-calibrating 13b eight-channel analog interface processor”**, ISSCC Dig. Tech. Paper, pp. 44-45, Feb. 1987.
- [7] K. Lakshmikumar, R. Hadaway, and M. Copeland, **“Characterization and modeling of mismatch in MOS transistors for precision analog design”**, IEEE J. Solid-State Circuits, Vol. SC-21, pp. 1057-1066, Dec. 1986.
- [8] N. Ahmed and T. Natarajan, **“Discrete-Time Signals and Systems”**, Prentice-Hall, Englewood Cliffs, NJ, 1983.
- [9] OLMOS, Alfredo, **“Projeto de componentes analógicos para um modulador sigma-delta de alta taxa de amostragem com tecnologia HEMT 0,4 $\mu$ m”**, Laboratório de Sistemas Integráveis, Escola Politécnica da Universidade de São Paulo.
- [10] R. Steele, **“Delta Modulation Systems”**, Pentech Press, London, England, 1975.
- [11] Y. Matsuya, et al, **“A 16 bit oversampling A-to-D conversion technology using triple-integration noise shaping.”** IEEE J. of Solid-State Circuits, Vol. SC-22, No. 6, pp. 921-929, Dec. 1987.
- [12] J. C. Candy, **“A use of double integration in Sigma-Delta modulation”**, IEEE Trans. On Communications, Vol. COM-33, No. 3, pp. 249-258, March 1985.
- [13] R. Koch, et al, **“A 12-bit Sigma-Delta analog-to-digital converter with a 15-MHz clock rate”**, IEEE J. of Solid-State Circuits, Vol. SC-21, No. 6, pp. 1003-1010, Dec. 1986.
- [14] B. Boser and B. Wooley, **“Quantization error spectrum of Sigma-Delta modulators”**, Proc. International Symposium on Circuits and Systems, pp. 2331-2334, June, 1988.
- [15] D. R. Welland, et al, **“A stereo 16-bit delta-sigma A/D converter for digital audio”**, Proc. the 85<sup>th</sup> convention of Audio Engineering Society, Vol. 2724 (H-12), Los Angeles, CA, Nov. 3-6, 1988.
- [16] Jen-Shiun Chiang, Teng-Hung Chang and Pou-Chu Chou, **“Cascaded Feedforward Sigma-delta Modulator for Wide Bandwidth Applications”**, Tamkang Journal of Science and Engineering, Vol. 4, No. 3, pp. 155-164 (2001) 155.
- [17] RAHKONEN, Timo **“Error correction techniques in high-speed A/D and D/A converters”**, IEEE J. of Solid-State Circuits **746-1984**.
- [18] KHOO, Kelvin Boo-Huat; **“Programmable, high-dynamic range sigma-delta A/D converters for multistandard, fully-integrated RF receivers”**, IEEE J. of Solid-State Circuits.
- [19] Friedel Gerfers, Maurits Ortmanns, Yiannos Manoli; **“A 12-Bit Power Efficient Continuous-Time Modulator with 250W Power Consumption”**, Institute of Microelectronics University of Saarlan.

[20] CANDY, James C., TEMES, Gabor C.: **“Oversampling Methods for A/D and D/A Conversion”**.

[21] BRANDT, Brian P., WOOLEY, Bruce A., **“A Low-Power, Area Efficient Digital Filter for Decimation and Interpolation”**, IEEE Journal of Solid-State Circuits, Vol. 29, no. 6, June 1994.